

## TMS-320C25 Instruction Set

印の付いた命令は18章で説明  
補助レジスタおよび補助レジスタポインタ関係のオペランドは省略  
「CN」は実行サイクル数

ACC への加算命令			
二ヘック	オペランド	CN	説明
ADD	<dma> [, <S>]	1	シフト付
ADDC	<dma>	1	キャリー付
ADDH	<dma>	1	上位
ADDS	<dma>	1	下位(符号拡張なし)
ADDK	<C8>	1	8ビット定数
ADLK	<C16> [, <S>]	2	16ビット定数シフト付
ADDT	<dma>	1	Tレジスタ指定のシフト付

ACC からの減算命令			
二ヘック	オペランド	CN	説明
SUB	<dma> [, <S>]	1	シフト付
SUBB	<dma>	1	ボロー付
SUBH	<dma>	1	上位
SUBS	<dma>	1	下位(符号拡張なし)
SUBK	<C8>	1	8ビット定数
SBLK	<C16> [, <S>]	2	16ビット定数シフト付
SUBT	<dma>	1	Tレジスタ指定のシフト付
SUBC	<dma>	1	条件付き

ACC の絶対値, 論理命令, 補数など			
二ヘック	オペランド	CN	説明
ABS		1	絶対値
ZAC		1	0クリア
CMPL		1	1の補数
NEG		1	符号反転
NORM		1	正規化
AND	<dma>	1	AND
ANDK	<C16> [, <S>]	2	16ビット定数のシフト付 AND
OR	<dma>	1	OR
ORK	<C16> [, <S>]	2	16ビット定数のシフト付 OR
XOR	<dma>	1	XOR
XORK	<C16> [, <S>]	2	16ビット定数のシフト付 XOR

ACC のロード			
二ヘック	オペランド	CN	説明
LAC	<dma> [, <S>]	1	シフト付
LACK	<C8>	1	8ビット定数
LACT	<dma>	1	Tレジスタ指定のシフト付
LALK	<C16> [, <S>]	2	16ビット定数シフト付
ZALH	<dma>	1	上位(下位の0クリア)
ZALR	<dma>	1	上位丸め用(下位の0クリア)
ZALS	<dma>	1	符号拡張なし下位 (上位0クリア)

ACC のストア			
二ヘック	オペランド	CN	説明
SACH	<dma> [, <S>]	1	上位シフト付
SACL	<dma> [, <S>]	1	下位シフト付

ACC のローテーション・シフト			
二ヘック	オペランド	CN	説明
ROL		1	1ビット左(キャリー含む)
ROR		1	1ビット右(キャリー含む)
SFL		1	1ビット左
SFR		1	1ビット右

補助レジスタ関連命令			
二ヘック	オペランド	CN	説明
LAR	<AR>, <dma>	1	ロード
LARK	<AR>, <C8>	1	8ビット定数ロード
LRLK	<AR>, <C16>	2	16ビット定数ロード
SAR	<AR>, <dma>	1	ストア
ADRK	<C8>	1	8ビット定数加算
SBRK	<C8>	1	8ビット定数減算
CMPR	<CM>	1	ARO との比較
LARP	<C3>	1	補助レジスタポインタのロード
MAR	<dma>	1	補助レジスタの変更

データ・メモリ・ページ・ポインタ関連命令			
二ヘック	オペランド	CN	説明
LDP	<dma>	1	ロード
LDPK	<C9>	1	9ビット定数ロード

Tレジスタ・Pレジスタおよび乗算命令			
ニーモニック	オペランド	CN	説明
SPH	<dma>	1	Pレジスタの上位スタ
SPL	<dma>	1	Pレジスタの下位スタ
PAC		1	PレジスタをACCにロード
APAC		1	PレジスタのACCへの加算
SPAC		1	PレジスタのACCからの減算
LPH	<dma>	1	Pレジスタ上位のロード
LT	<dma>	1	Tレジスタのロード
LTA	<dma>	1	Tレジスタのロード PレジスタのACCへの加算
LTD	<dma>	1	Tレジスタのロード, PレジスタのACC への加算およびデータ転送
LTP	<dma>	1	Tレジスタのロード PレジスタをACCにロード
LTS	<dma>	1	Tレジスタのロード PレジスタのACCからの減算
MPY	<dma>	1	乗算
MPYA	<dma>	1	乗算 PレジスタのACCへの加算
MPYS	<dma>	1	乗算 PレジスタのACCからの減算
MPYK	<C13>	1	13ビット定数の乗算
MPYU	<dma>	1	符号なし乗算
MAC	<pma>, <dma>	4	<pma>と<dma>の乗算 PレジスタのACCへの加算
MACD	<pma>, <dma>	4	<pma>と<dma>の乗算, Pレジスタ のACCへの加算, データ転送
SPM	<C2>	1	Pレジスタ出力シフトモード設定
SQRA	<dma>	1	オペランドの2乗計算 PレジスタのACCへの加算
SQRS	<dma>	1	オペランドの2乗計算 PレジスタのACCからの減算

分岐/呼出し命令			
ニーモニック	オペランド	CN	説明
B	<pma>	3	無条件
BACC		3	ACC指定アドレス
BGZ	<pma>	3	ACC > 0
BGEZ	<pma>	3	ACC ≥ 0
BZ	<pma>	3	ACC = 0
BNZ	<pma>	3	ACC ≠ 0
BLEZ	<pma>	3	ACC ≤ 0
BLZ	<pma>	3	ACC < 0
BC	<pma>	3	キャリーがある
BNC	<pma>	3	キャリーがない
BANZ	<pma>	3	(補助レジスタ) 0
BBNZ	<pma>	3	(TCビット) 0
BBZ	<pma>	3	(TCビット) = 0
BIOZ	<pma>	3	BIO(負論理) = 0
BNV	<pma>	3	オーバーフローがない
BV	<pma>	3	オーバーフローがある
CALA		3	間接サブルーチンコール
CALL	<pma>	3	直接サブルーチンコール
RET		3	サブルーチンからの復帰

I/O及びデータ・メモリ関連命令			
ニーモニック	オペランド	CN	説明
IN	<dma>, <PA>	2	I/Oポートからのデータ入力
OUT	<dma>, <PA>	1	I/Oポートからのデータ出力
TBLR	<dma>	4	<pma>テーブルからの読み出し
TBLWR	<dma>	4	<pma>テーブルへの書き込み
BLKD	<dma1>, <dma2>	4	Dメモリ間のブロック転送
BLKP	<pma>, <dma>	4	PメモリからDメモリのブロック転送
DMOV	<dma>	1	Dメモリ間のデータ転送
FORT	<C1>	1	SPのフォーマット
RFSM		1	SPフレーム同期モードのリセット
SFSM		1	SPフレーム同期モードのセット
RTXM		1	SP送信モードのリセット
STXM		1	SP送信モードのセット
RXF		1	外部フラグのリセット
SXF		1	外部フラグのセット

SP: シリアルポート

制御命令			
二-モニック	オペランド	CN	説明
NOP		1	ノオペレーション
DINT		1	割り込み禁止
EINT		1	割り込み許可
IDLE		3	割り込みまでアイドル状態
TRAP		3	ソフトウェア割り込み
CNFD		1	RAM ブロック B0 を D メモリに指定
CNFD		1	RAM ブロック B0 を P メモリに指定
POP		1	スタックの ACC への復帰
POPD		1	スタックの D メモリへの復帰
PSHD		1	D メモリのスタックへの退避
PUSH		1	ACC のスタックへの退避
RC		1	キャリビットのリセット
SC		1	キャリビットのセット
RHM		1	ホールドモードのリセット
SHM		1	ホールドモードのセット
ROVM		1	オーバーフローモードのリセット
SOVM		1	オーバーフローモードのセット
RSXM		1	符号拡張モードのリセット
SSXM		1	符号拡張モードのセット
RTC		1	テスト/コントロールフラグのリセット
STC		1	テスト/コントロールフラグのセット
LST	<dma>	1	ステータスレジスタ ST0 のロード
LST1	<dma>	1	ステータスレジスタ ST1 のロード
SST	<dma>	1	ステータスレジスタ ST0 のストア
SST1	<dma>	1	ステータスレジスタ ST1 のストア
RPT	<dma>	1	D メモリ値によるビット
RPTK	<C8>	1	定数値によるビット
BIT	<dma>, <bit code>	1	指定ビットの判定
BITT	<dma>	1	レジスタ指定ビットの判定