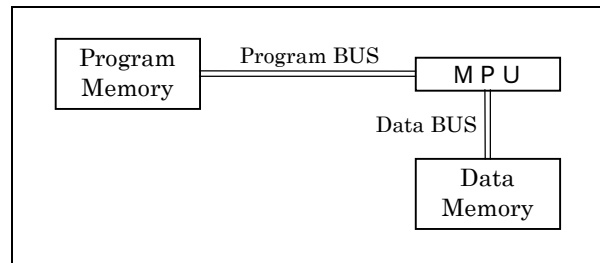


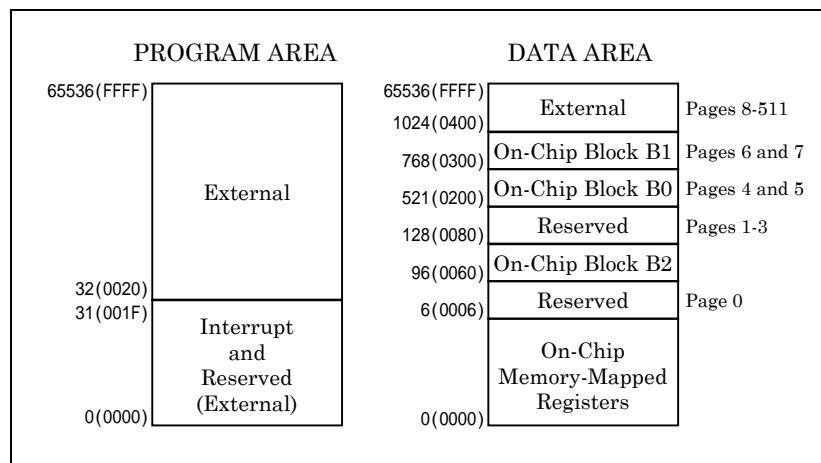
16 . DSPシステム構成

「DSP」とは Digital Signal Processing Microprocessor (デジタル信号処理プロセッサ) のことであり、通常の 16 ビットあるいは 32 ビットコンピュータに比べて高速処理 (命令実行時間が非常に速い) を行うプロセッサである。例えば、16 ビット CPU の乗算命令は数 μs 必要であるが、DSP では同じ処理を 100 μs で行う。研究対象の電力変換器の直接の制御は PC9801 コンピュータ (以下、CPU という) で行うが、そのための種々の演算は全て DSP で行う。割り込み処理を行う制御プログラムでは、その割り込み処理時間を短縮する必要があるため、「DSP」の利用が不可欠である。

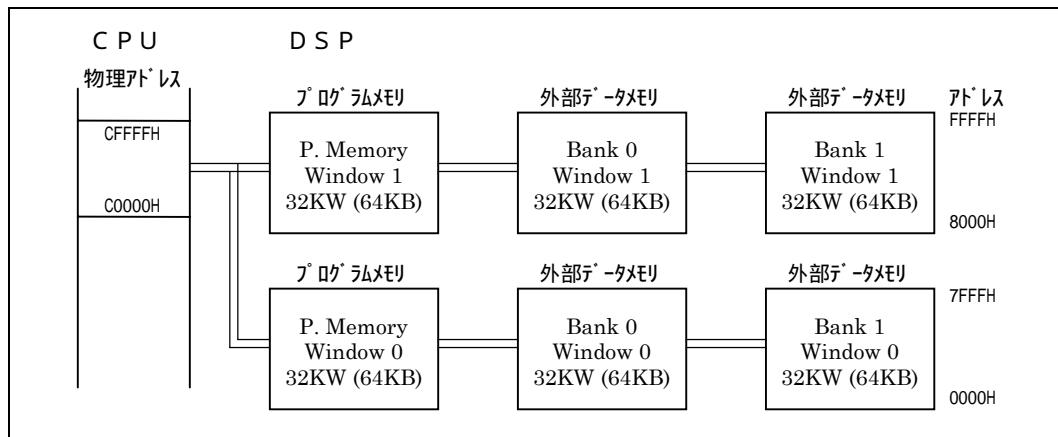
使用している DSP は Texas Instruments の「TMS320C25」という LSI であり、「DSP ボード」として作製されたものであり、PC9801 コンピュータの拡張スロットに挿入して動作する。すなわち、PC9801 内で 2 つのコンピュータを同時に動作させていると考え、PC9801 がホストコンピュータとなる。この DSP はそれぞれ独立した「プログラムメモリ (Program Memory) 」と「データメモリ (Data Memory) 」を有し、それらの間のデータ転送は特殊な命令だけによって行われる。すなわち、レジスタ等を含む「MPU (MicroProcessing Unit) 」は別々のバスでそれぞれのメモリに接続されている。



DSP を「マイクロプロセッサモード」と呼ばれる動作モードで使用する場合は各メモリの構成は下のようになっている。プログラムメモリの 0 ~ 31 番地まではシステムの割り込みベクタ等に予約されており、実際のプログラムは 32 番地以降に保存される。データメモリは通常の命令で使用するメモリであり、使用できる領域はページ 4 ~ 7 となっており、ここではページ 4 の 128 ワードを使用している。



データエリアは64Kワードのアドレス空間が割り当てられているが、実装は1023番地までである。一方、プログラムエリアもまた64Kワードのアドレス空間があり、本ボードではこの領域のメモリはCPUとの「共有メモリ」となっている。すなわち、DSPのプログラムメモリはそのままCPU側のメインメモリの一部となっており、そのアドレスはCPUの物理アドレス「C0000H～CFFFFH」に割り当てている。また、本ボードでは同一アドレス上に異なったメモリ（これをバンク（BANK）という）が並列に接続されており、外部データメモリが割り当てられている。CPUから見るとこの範囲の物理アドレス上に64KBの6個のメモリが並列にあることになる。CPUがこれらのいずれかのバンクを選択してデータの読み出し、書き込みを行う。通常は外部データメモリは使用してなく、プログラムメモリの「ウィンドウ0」だけを選択して動作する。



DSPではデータを含む全ての命令は16ビット（1ワード）単位で構成されており、1アドレスは1ワードである。したがって、CPUの2アドレスがDSPの1アドレスに対応し、「ウィンドウ0」におけるCPUとDSPのアドレス関係は図のようである（他のバンクも同様）。これらの関係はCPUとDSPの間でのデータ転送において重要である。

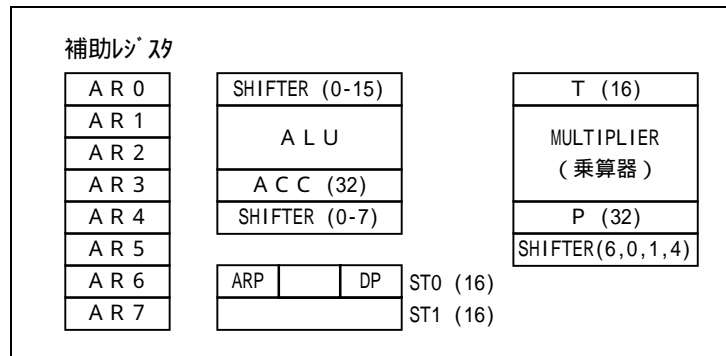
CPU 物理アドレス	DSPアドレス
CFFFF	7FFF
CFFFE	
CFFFD	7FFE
CFFFC	
C0005	0002
C0004	
C0003	0001
C0002	
C0001	0000
C0000	
8ビット	16ビット

TMS320C25 は種々の操作を行う次のようなレジスタをもっている。

- AR0～AR7： 16ビット補助レジスタ（Auxiliary Register）
- ST0, ST1： ステータスレジスタ（Status Register）
（プロセッサのステータスと制御ビットをもつ）
- ARP： 補助レジスタポインタ（Auxiliary Register Pointer）
（データメモリ参照に使用するARを選択）
- DP： データメモリページポインタ（Data Memory Page Pointer）

- (アクセスできるデータメモリページを選択)
- T: 16ビットテンポラリレジスタ (Temporary Register)
(乗算器の入力およびスケールシフトのシフトコード)
- P: 32ビット乗算結果レジスタ (Product Register)
- ACC: 32ビットアキュムレータ (Accumulator)

「ACC」はALUの出力(CPUのAXレジスタに対応)であり、上位16ビット「ACCH」あるいは下位16ビット「ACCL」だけの演算も可能である。



前述したようにDSPのプログラムメモリはCPUとの共有メモリとなっており、このメモリはDSPが実行中はCPUバスから切り離され、DSPが停止している時にCPUバスと接続されるようになっている。したがって、CPUからこのメモリ領域にデータを転送する場合には必ずDSPを停止させなければならない。

DSPはCPUに対して一種の外部I/Oとみなせ、DSPのコントロールは全てCPUから行うことができる。そのために本ボードには3つのレジスタが用意されており、次のようにI/Oアドレスを設定している。また、2つのレジスタはDSPにも用意されている。

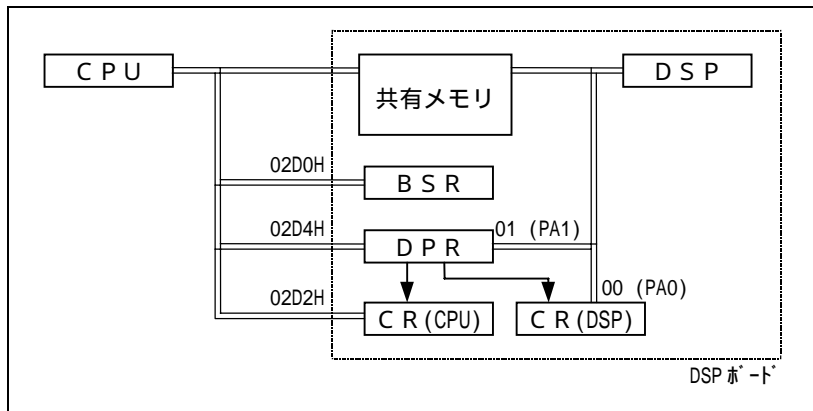
CPUのI/Oアドレス	内容	DSPのI/Oアドレス
02D0H	ボード・セレクトレジスタ (BSR)	-
02D2H	コントロールレジスタ (CR)	00 (PA0)
02D4H	デュアル・ポートレジスタ (DPR)	01 (PA1)

ボードセレクトレジスタ (BSR) は複数のDSPボードを装着している時に選択するボード番号を出力する。現在は1つだけであり、ボード番号は「0」である。この設定はCプログラムで行う。

コントロールレジスタはDSPのスタート、ストップ、バンク切り換え等を行い、ステータス情報を持つレジスタであり、DSPの動作を制御する。DSPはDPR転送によるステータス情報を確認できる。

デュアルポートレジスタはCPUとDSPとの間で共有メモリを使用せずにデータ転送を行うための16ビットレジスタであり、双方から書き込み、読み出しができ、それによって「CR」の特定ビットが変化する(CPUのフラグに対応)。

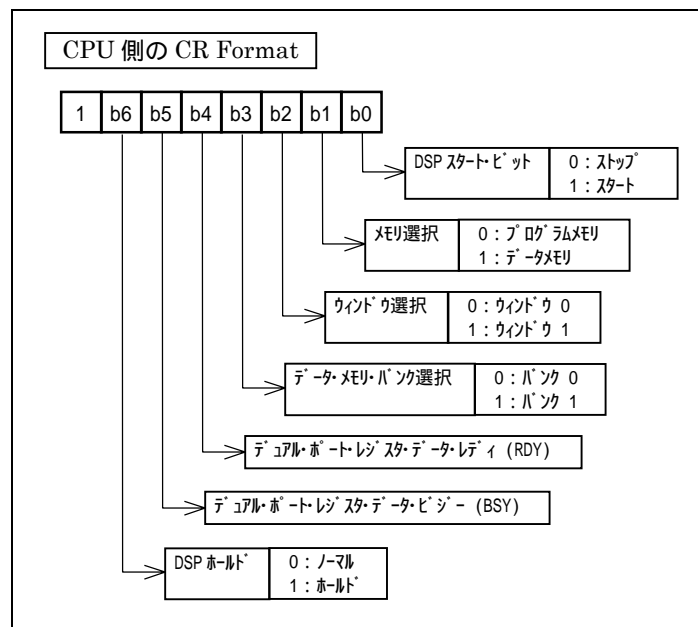
これらを含めたCPUとDSPとのシステム構成は次のようである。



CPU側のコントロールレジスタ(CR)の各ビット情報は右図のようである。CRのデータはつぎのように初期設定する。

- b0=0 DSP ストップ
- b1=0 プログラムメモリ
- b2=0 ウィンドウ 0
- b3=X データバンク
- b6=1 DSP ホールド

データバンクは使用しないのでどちらでもよい。また, b4 と b5 はシステム既定値をそのまま保持し, このデータをCRのI/Oアドレスへ出力する。



DSPの動作制御ビット b0 と b6 は

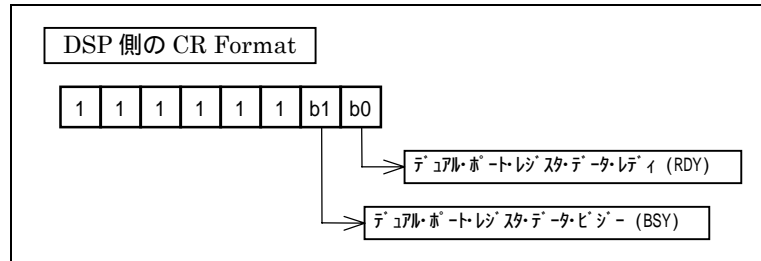
DSPスタート : b0=1, b6=0
DSPストップ : b0=0, b6=1

のように操作する。「ホールド (Hold)」とはDSPのプログラムバスをハイインピーダンスにする(つながっていないと考えてよい)ことである。「メモリ選択 (b1)」、「ウィンドウ選択 (b2)」および「バンク選択 (b3)」のビットは以後変更しないので, 実際の制御プログラムではこれらの値を変えないようビット処理を行う。「RDY」と「BSY」ビットはデュアルポートレジスタに関係し, 次のように変化する。

RDY : b4=0 : DSPからDPRへデータが送られていない時 (CPUがDPRからデータを取り込んだ時) =1 : DSPからDPRへデータが送られた時
--

BSY : b5=0 : CPUがDPRに出力したデータをDSPが取り込んだ時
 =1 : CPUがDPRに出力したデータをDSPが取り込んでいない時

DSP側のコントロールレジスタ(CR)の各ビット情報は次のようである。



二つのビットは次のように変化する。

RDY : b4=0 : CPUからDPRへデータが送られていない時
 (DSPがDPRからデータを取り込んだ時)
 =1 : CPUからDPRへデータが送られた時

BSY : b5=0 : DSPがDPRに出力したデータをCPUが取り込んだ時
 =1 : DSPがDPRに出力したデータをCPUが取り込んでいない時

これらの「RDY」と「BSY」ビットはデータ転送に関係するので、次章で説明する。